



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0015373
Application Number

출원년월일 : 2003년 03월 12일
Date of Application MAR 12, 2003

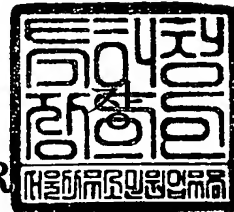
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.03.12
【발명의 명칭】	고전압 소자의 웰 구조
【발명의 영문명칭】	Well structure of high voltage device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	박성기
【성명의 영문표기】	PARK,Sung Kee
【주민등록번호】	690123-1805714
【우편번호】	742-980
【주소】	경상북도 상주시 화남면 평온 2리 323번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 고전압 소자의 웰 구조에 관한 것으로, 제 1 트랜지스터를 수용하기 위해 기판의 도전형과는 반대의 도전형으로 기판에 형성된 제 1 웰과, 제 2 트랜지스터를 수용하기 위해 제 1 웰과는 격리되고 기판의 도전형과는 동일한 도전형으로 형성된 제 2 웰과, 웰 파괴전압을 개선시키기 위해 제 1 웰과 제 2 웰 사이에서 기판의 도전형과는 동일한 도전형으로 형성되며 제 1 웰 및 제 2 웰 각각과는 일정 거리 이격되어 형성된 필드 스톱 임플란트 영역과, 기판에서의 차지-업 및 래치-업을 방지하기 위해 필드 스톱 임플란트 영역과 동일한 도전형으로 형성되며 필드 스톱 임플란트 영역에 오버랩 되어 형성된 픽업부를 포함하여 이루어진 고전압 소자의 웰 구조에 관한 것이다.

【대표도】

도 2

【색인어】

고전압 소자, 고전압 트랜지스터, 웰 파괴전압, BVDSS, 플래시 메모리,

【명세서】

【발명의 명칭】

고전압 소자의 웰 구조{Well structure of high voltage device}

【도면의 간단한 설명】

도 1은 종래 고전압 소자의 기본적인 웰 구조를 도시한 단면도.

도 2는 본 발명의 실시예에 따른 고전압 소자의 웰 구조를 도시한 단면도.

도 3 은 필드 스톱 임플란트 영역과 N-웰의 거리를 변화시키면서 N-웰 파괴전압을 측정한 시뮬레이션.

<도면의 주요 부분에 대한 부호의 설명>

11, 21: 기판 12, 22: N-웰

13, 23: P-웰 14, 24: 필드 스톱 임플란트 영역

15, 25: 필드 산화막 26: 픽업부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 고전압 소자의 웰 구조에 관한 것으로, 특히 플래시 메모리에 사용되는 고전압 소자에서 웰 파괴전압(well breakdown voltage; BVDSS)을 개선시키고 기판에서의 차지-업(charge-up) 및 래치-업(latch-up)을 방지할 수 있는 고전압 소자의 웰 구조에 관한 것이다.
- <9> 일반적으로, 플래시 메모리는 메모리 셀들이 비트라인에 연결되어진 형태에 따라 크게 노아형(NOR-type)과 낸드형(NAND-type)으로 구별된다. 낸드형 플래시 메모리나 노아형 플래시 메모리는 프로그램 동작이나 소거 동작을 수행하기 위해 고전압을 사용하고 있다. 낸드형 플래시 메모리가 프로그램 동작이나 소거 동작을 수행하기 위해서는 약 20V 내외의 전압을 필요로 하고, 노아형 플래시 메모리가 프로그램 동작이나 소거 동작을 수행하기 위해서는 약 14V 내외의 전압을 필요로 한다. 이러한 고전압을 셀 지역에 인가하기 위해 주변회로 지역에 고전압 소자를 두고 있다.
- <10> 낸드형 플래시 메모리의 경우 프로그램 동작과 소거 동작시 전술한 바와 같이 약 20V 정도의 고전압을 사용하게 되는데, 이 고전압은 고전압 소자를 통해 얻고 있다. 고전압 소자는 N-웰(Well)안에 있는 PMOS 트랜지스터와 네이티브 트랜지스터(native transistor)를 사용하는데, N-웰과 N⁺-픽업(pickup)이 고전압으로 묶여 있어서 N-웰 자체의 웰 파괴전압이 약 30V 정도를 가져야 한다. 즉, 낸드형 플래시 메모리의 프로그램 동작과 소거 동작시 고전압 소자가 안정적으로 셀 트랜지스터에 고전압을 인가하기 위해서는 고전압 소자의 웰 파괴전압이 30V 이

상이 되어야 한다. 노아형 플래시 메모리의 경우에도 낸드형 플래시 메모리와는 다르겠지만 높은 웰 파괴전압을 가져야 할 것이다.

<11> 도 1은 종래 고전압 소자의 기본적인 웰 구조를 도시한 단면도로, 높은 웰 파괴전압을 가지기 위해서는 P형 기판(11)에 N-웰(12)을 형성하고, N-웰(12)과 일정 거리 이격되는 P-웰(13)을 P형 기판(11)에 형성한다. N-웰(12)과 P-웰(13)이 만나는 구조일 경우 웰 파괴전압이 약 18V정도이며, 18V이상의 웰 파괴전압이 필요한 소자 예를 들어, 낸드형 플래시 메모리에는 이러한 웰 구조의 고전압 소자를 적용할 수 없다. 그래서, 낸드형 플래시 메모리의 경우 P형 기판(11)에 N-웰(12)을 형성할 때 P-웰(13)과의 거리를 $20\mu\text{m}$ 이상 거리를 두고 형성하고 있다. 이는 P-형 기판(11) 내에서의 N-웰(12)은 측면 확산(lateral diffusion)이 약 $1\mu\text{m}$ 정도 되고 또한 낮은 전압에서 공핍 영역(depletion region)이 급격히 이루어지고 어느 정도의 전압 이상에서는 공핍 영역이 증가하지 않게 되기 때문에 즉, P형 기판(11)의 높은 저항 때문에 $20\mu\text{m}$ 이상의 거리에서는 40V 이상의 파괴전압을 갖게된다. 이와 같이 낸드 플래시 메모리의 경우에는 N-웰(12)과 P-웰(13) 사이의 거리를 $20\mu\text{m}$ 이상으로 하여 고전압 소자를 형성하면 문제가 발생되지 않지만, 최근 낸드형 플래시 메모리 가 고밀도(high density)되어 감에 따라 N-웰(12)과 P-웰(13) 사이의 거리를 좁게 해야만 한다. 이를 해결하기 위해 $0.12\mu\text{m}$ 급의 낸드형 플래시 메모리에서 N-웰(12)과 P-웰(13) 사이의 P형 기판(11)에 보론(boron)을 이용한 필드 스톱 임플란트 영역(14)을 형성하였지만, 도 3의 시뮬레이션에서 알 수 있듯이 N-웰(12)과 필드 스톱 임플란트 영역(14)이 연결되어 있을 경우($0.0\mu\text{m}$), 웰 파괴전압이 약 23V 정도로 낮게 측정되었다. 미설명 부호 15는 필드 산화막이다.

<12> 상술한 바와 같이, 종래 고전압 소자의 웰 구조로는 높은 웰 파괴전압을 필요로 하는 플래시 메모리나 반도체 소자의 고집적화에 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명은 웰 파괴전압을 개선시키고 기판에서의 차지-업 및 래치-업을 방지하여 소자의 성능 및 신뢰성을 향상시키고 소자의 고집적화를 실현할 수 있는 고전압 소자의 웰 구조를 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<14> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 고전압 소자의 웰 구조는 기판의 도전형과는 반대의 도전형으로 상기 기판에 형성된 제 1 웰; 상기 제 1 웰과는 격리되고 상기 기판의 도전형과는 동일한 도전형으로 형성된 제 2 웰; 상기 제 1 웰과 상기 제 2 웰 사이에서 상기 기판의 도전형과는 동일한 도전형으로 형성되며 상기 제 1 웰 및 상기 제 2 웰 각각과는 일정 거리 이격되어 형성된 필드 스톱 임플란트 영역; 및 상기 필드 스톱 임플란트 영역과 동일한 도전형으로 형성되며 상기 필드 스톱 임플란트 영역에 오버랩 되어 형성된 픽업부를 포함하여 이루어진다.

<15> 상기에서, 기판은 P형 기판이고, 제 1 웰은 인(Ph)이 주입된 N-웰이며, 제 2 웰은 붕소(B)가 주입된 P-웰이며, 필드 스톱 임플란트 영역은 붕소(B)를 주입하여 형성되며, 픽업부는 붕소(B)를 고농도로 주입하여 형성된다.

- <16> 제 1 웰과 필드 스톱 임플란트 영역 사이의 이격 거리는 0.5 내지 1.5 μm 이고, 제 2 웰과 필드 스톱 임플란트 영역 사이의 이격 거리는 0.5 내지 1.5 μm 이다.
- <17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <18> 도 2는 본 발명의 실시예에 따른 고전압 소자의 웰 구조를 도시한 단면도로, 제공되는 웰 구조는 낸드형 플래시 메모리, 노아형 플래시 메모리 또는 고전압을 필요로 하는 모든 반도체 장치에 적용된다.
- <19> 도 2를 참조하면, 제 1 웰(22)은 기판(21)의 도전형과는 반대의 도전형 불순물을 기판(21)에 주입하여 형성된다. 제 1 웰(22)에는 통상의 공정에 의해 고전압용 제 1 트랜지스터가 수용된다. 제 2 웰(23)은 제 1 웰(22)과는 격리되고 기판(21)의 도전형과는 동일한 도전형 불순물을 기판(21)에 주입하여 형성된다. 제 2 웰(23)에는 통상의 공정에 의해 고전압용 제 2 트랜지스터가 수용된다. 필드 스톱 임플란트 영역(field stop implant region; 24)은 제 1 웰(22)과 제 2 웰(23) 사이에서 기판(21)의 도전형과는 동일한 도전형의 불순물을 주입하여 형성되며 제 1 웰(22) 및 제 2 웰(23) 각각과는 일정 거리 이격되어 형성된다. 픽업부(26)는 필드 스톱 임플란트 영역(24)과 동일한 도전형으로 형성되며 필드 스톱 임플란트 영역(24)에 오버랩(overlap)되어 형성된다.

- <20> 고전압 소자에서, 기판(21)은 주로 P형 기판을 사용한다. 따라서 제 1 웰(22)은 기판(21)의 도전형과는 반대의 도전형 불순물 예를 들어 인(Ph31)을 주입하여 N-웰로 형성되고, 제 2 웰(23)은 기판(21)의 도전형과는 동일한 도전형 불순물 예를 들어 붕소(B)를 주입하여 P-웰로 형성된다.
- <21> 필드 스톱 임플란트 영역(24)은 플래시 메모리 제조 공정 중 ISO 식각 공정 후 필드 산화막(25) 형성을 위한 HDP 산화물 증착 공정 전에 기판(21)의 도전형과는 동일한 도전형 불순물 예를 들어 붕소(B)를 주입하여 형성하거나, 플래시 메모리 제조 공정과는 별개의 공정으로 붕소(B)를 주입하여 형성할 수 있다.
- <22> 필드 스톱 임플란트 영역(24)은 N-웰인 제 1 웰(22)과 일정 거리 이격되도록 형성하는데, 이는 제 1 웰(22)의 인(Ph31)과 필드 스톱 임플란트 영역(24)의 붕소(B)가 직접적으로 만나지 않게 하므로 웰 파괴전압을 개선시키기 위함이다. 도 3 은 0.12 μ m급의 낸드형 플래시 메모리에서 필드 스톱 임플란트 영역과 N-웰의 거리를 변화시키면서 N-웰 파괴전압을 측정한 시뮬레이션(simulation)으로, 필드 스톱 임플란트 영역(24)과 제 1 웰(22)의 거리가 0.0 μ m일 때 웰 파괴전압은 약 23V 정도로 측정되었고, 0.5 μ m 이상일 때 약 30V 이상의 N-웰 파괴전압을 확보할 수 있음을 알 수 있다. 따라서 고전압 소자의 웰 파괴전압을 개선시키기 위해 제 1 웰(22)과 제 2 웰(23) 사이에 필드 스톱 임플란트 영역(24)을 형성하되, 제 1 웰(22)과 필드 스톱 임플란트 영역(24) 사이의 거리를 0.5 μ m 이상, 바람직하게는 0.5 내지 1.5 μ m로 이격시킨다.
- <23> 또한, 필드 스톱 임플란트 영역(24)은 P-웰인 제 2 웰(23)과 일정 거리 이격되도록 형성하는데, 이는 P-웰인 제 2 웰(23)에 만들어지는 NMOS 트랜지스터의 특성을 고려한 것이며, 구체적으로 바디 팩터(body factor) 영향을 줄이기 위함이다. 이격 거리는 한정할 필요는 없으나 0.5 μ m 이상, 바람직하게는 0.5 내지 1.5 μ m로 둔다.

<24> 픽업부(26)는 필드 스톱 임플란트 영역(24)과 동일한 도전형 불순물 예를 들어 붕소(B)를 고농도로 주입하여 형성하는데, 이는 P형 기판(21)에서의 차지-업(charge-up) 및 래치-업(latch-up)을 방지하기 위함이다. 즉, P형 기판(21)은 저항이 커서 P형 기판(21) 내에 국부적으로 차지(charge)가 모일 수 있는데, 이 때문에 래치-업 문제를 일으킬 수 있고, 또한 오동작의 원인이 될 수 있기 때문에 이를 방지하기 위하여 필드 스톱 임플란트 영역(24)과 동일한 도전형 불순물로 픽업부(26)를 형성한다.

【발명의 효과】

<25> 상술한 바와 같이, 본 발명은 웰 파괴전압을 개선시키고 기판에서의 차지-업 및 래치-업을 방지하므로, 소자의 성능 및 신뢰성을 향상시킬 수 있을 뿐만 아니라 소자의 고집적화를 실현할 수 있다.

【특허청구범위】**【청구항 1】**

기판의 도전형과는 반대의 도전형으로 상기 기판에 형성된 제 1 웰;

상기 제 1 웰과는 격리되고 상기 기판의 도전형과는 동일한 도전형으로 형성된 제 2 웰;

상기 제 1 웰과 상기 제 2 웰 사이에서 상기 기판의 도전형과는 동일한 도전형으로 형성되며 상기 제 1 웰 및 상기 제 2 웰 각각과는 일정 거리 이격되어 형성된 필드 스톱 임플란트 영역; 및

상기 필드 스톱 임플란트 영역과 동일한 도전형으로 형성되며 상기 필드 스톱 임플란트 영역에 오버랩 되어 형성된 픽업부를 포함하여 이루어지는 것을 특징으로 하는 고전압 소자의 웰 구조.

【청구항 2】

제 1 항에 있어서,

상기 기판은 P형 기판인 것을 특징으로 하는 고전압 소자의 웰 구조.

【청구항 3】

제 1 항에 있어서,

상기 제 1 웰은 인(Ph)이 주입된 N-웰인 것을 특징으로 하는 고전압 소자의 웰 구조.

【청구항 4】

제 1 항에 있어서,

상기 제 2 웰은 붕소(B)가 주입된 P-웰인 것을 특징으로 하는 고전압 소자의 웰 구조.

【청구항 5】

제 1 항에 있어서,

상기 필드 스톱 임플란트 영역은 붕소(B)를 주입하여 형성된 것을 특징으로 하는 고전압 소자의 웰 구조.

【청구항 6】

제 1 항에 있어서,

상기 제 1 웰과 상기 필드 스톱 임플란트 영역 사이의 이격 거리는 0.5 내지 1.5 μ m인 것을 특징으로 하는 고전압 소자의 웰 구조.

【청구항 7】

제 1 항에 있어서,

상기 제 2 웰과 상기 필드 스톱 임플란트 영역 사이의 이격 거리는 0.5 내지 1.5 μ m인 것을 특징으로 하는 고전압 소자의 웰 구조.

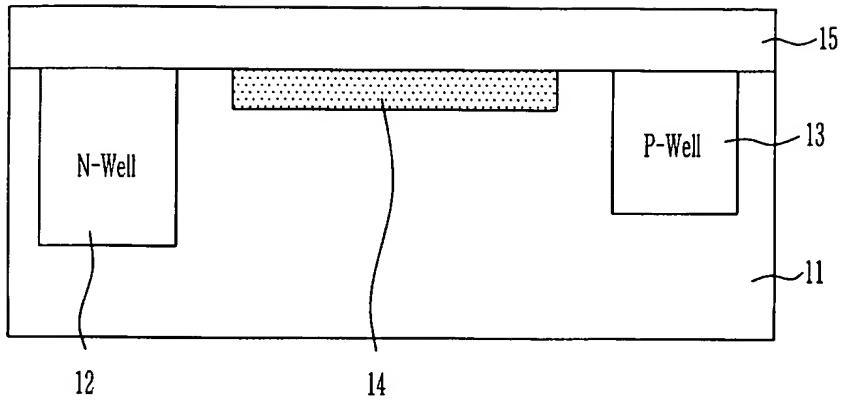
【청구항 8】

제 1 항에 있어서,

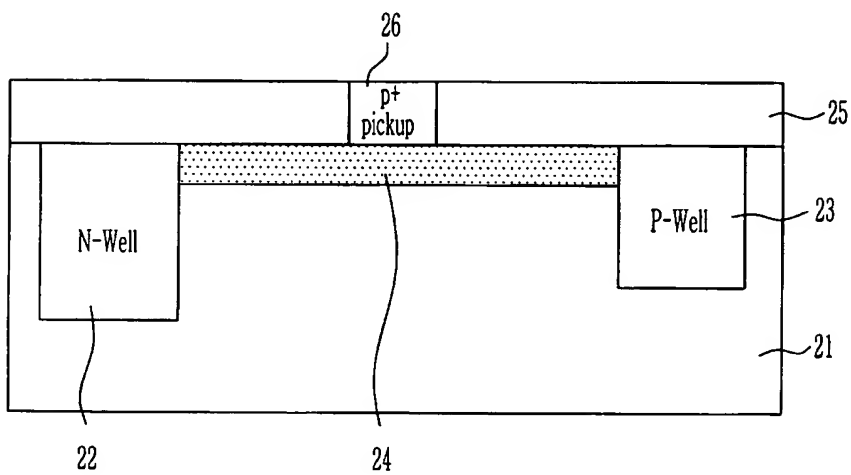
상기 픽업부는 붕소(B)를 고농도로 주입하여 형성된 것을 특징으로 하는 고전압 소자의
웰 구조.

【도면】

【도 1】



【도 2】



【도 3】

